

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

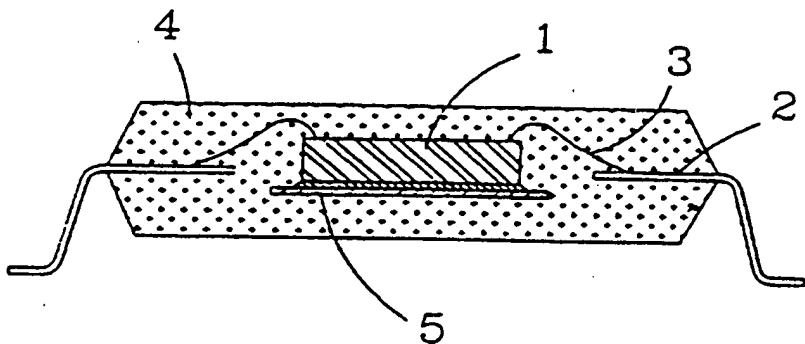
(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/50	(45) 공고일자 1999년09월01일
(21) 출원번호 10-1996-0009774	(11) 등록번호 10-0220154
(22) 출원일자 1996년04월01일	(24) 등록일자 1999년06월18일
(73) 특허권자 아남반도체주식회사, 김규현 대한민국 133-121 서울특별시 성동구 성수동 2가 280-8	(65) 공개번호 특1997-0072358
(72) 발명자 허영욱 대한민국 경기도 성남시 분당구 수내동 55 롯데아파트 132-1504	(43) 공개일자 1997년11월07일
(74) 대리인 서만규	
(77) 심사청구 심사관: 양희용	
(54) 출원명 반도체 패키지의 제조방법	

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로동작시 발생되는 열방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 항상 시킬수 물론, 패키지의 울당부 외측에 위치한 리드는 절단하고, 울당부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패키지이다.

대표도



명세서

[발명의 명칭]

반도체패키지의 제조방법

[도면의 간단한 설명]

제 1 도는 일반적인 반도체패키지의 구조를 보인 단면도

제 2 도는 본 발명에 적용되는 리드프레임을 도시한 평면도

제 3a 도 내지 제 3e 도는 본 발명의 제조 공정도

제 4a 도 내지 제 4d 도는 본 발명의 실시예에 의한 제조 공정도

제 5 도는 본 발명에 의한 반도체패키지의 저면도

제 6 도는 본 발명의 리드를 도시한 확대도

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체칩 20 : 리드프레임

21 : 리드 30 : 와이어

41 : 액상봉지재 42 : 캄파운드

[한국의 상세한 현况]

여서서, 상기 액상 봉지재(41)로 융딩한 경우에는 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 융딩영역의 외각으로 담(411)을 형성한다. 또한, 상기 융딩된 액상 봉지재(41) 및 커파운드(42)는 리드(21) 및 반도체칩(10)의 상부로만 융딩되는 것이며, 상기 반도체패키지의 저연에 있는 플래쉬(Flash)의 제거를 위해 그라인드(Grind)를 실시할 수 있다. 이와 같은 구성의 반도체패키지는 저연으로 반도체칩과 디수의 리드가 직접 노출되므로 열방출이 우수하여 계면박리가 발생되지 않고, 융딩영역의 외각으로 위치되는 리드가 없어 취급시 리드가 움직거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(입출력단자) 부분이 패키지의 일면에서 이루어짐으로 마더보드에 설치시 그 크기로 최소화 할 수 있는 잇점이 있다.

(57) 청구의 법위

答 1.

(정정) 다수의 리드가 형성되고, 이 다수의 리드 중 양부에는 침탈 재판이 없는 리드프레임을 제공하는 단계와: 상기 리드프레임의 다수의 리드 중 양부에 반도체침을 위치시키되, 상기 반도체침은 배륨 흡(VacuumHole)이 형성된 히터블럭에 만착시킨 후, 상기 배륨 흡으로 공기를 빼이들여서 반도체침을 지지 고정한 상태에서 와이어본딩을 실시하는 단계와: 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 물딩하는 단계와: 상기 단계후에 물딩영역 외각에 위치한 리드를 절단하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

성구암 2.

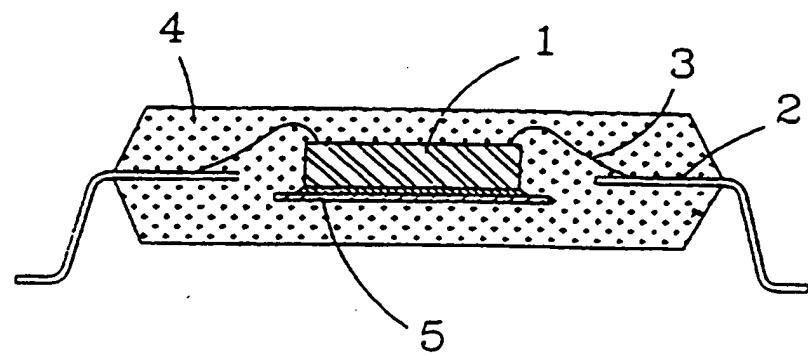
제 1 항에 있어서, 상기 융당하는 단계 후에는 반도체 패키지의 저면에 그리인드(Grind)를 설치하여 플래시(Flash)를 제거하는 플래시 제거 단계를 더 포함하여서 이를 어진 것을 통칭으로 하는 반도체 패키지의 제조방법.

첨구암 3

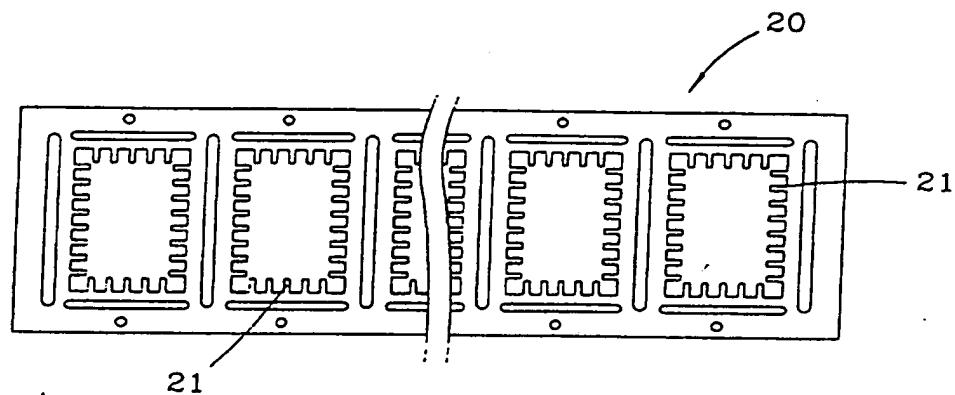
제 1 항에 있어서, 상기 유통영역의 외각에 위치한 리드를 절단하는 단계는, 상기 리드의 절단되는 부위에 노치(Notch)를 형성하여 상기 리드가 용이하게 절단되도록 하는 것을 통지으로 하는 바운드 패키지의 제조방법

도면

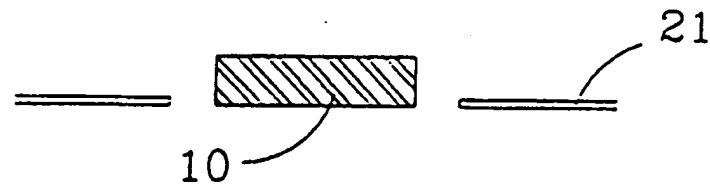
도면 1



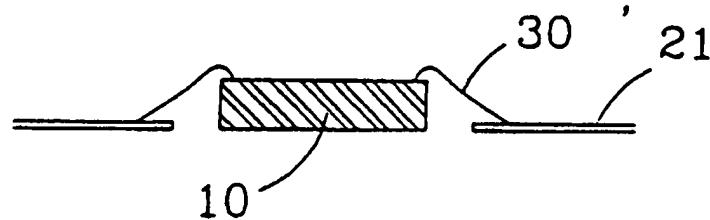
도면 2



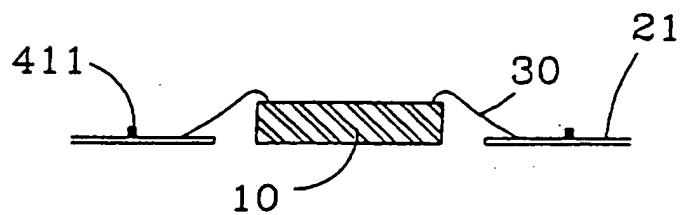
도면 3a



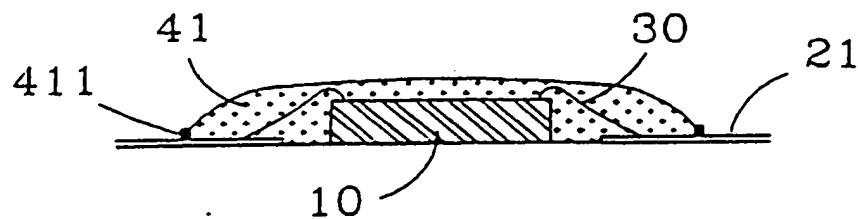
도면 3b



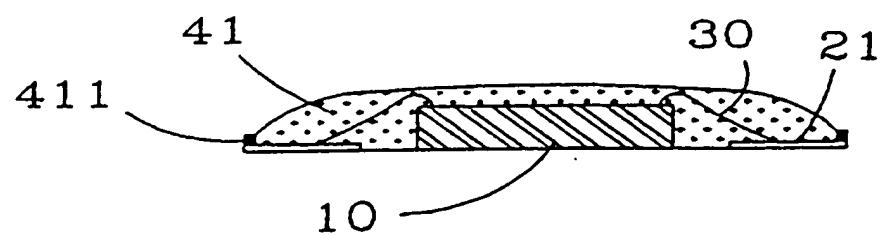
도면 3c



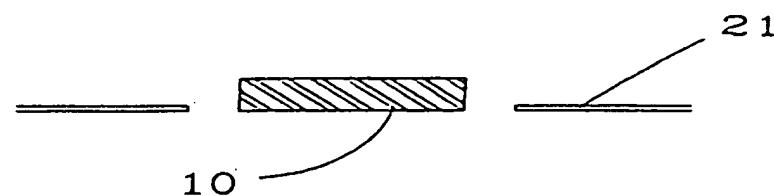
도면 3d



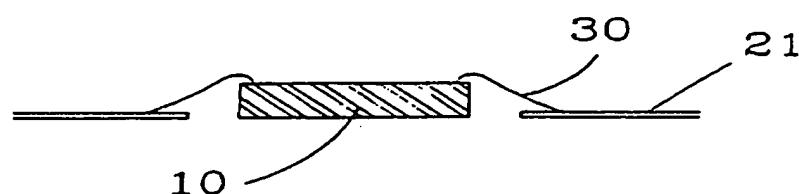
도면 3e



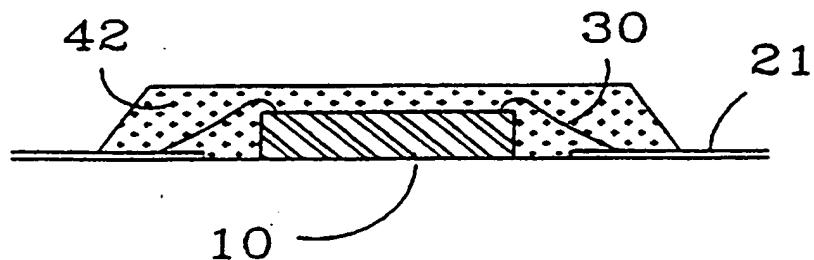
도면 4a



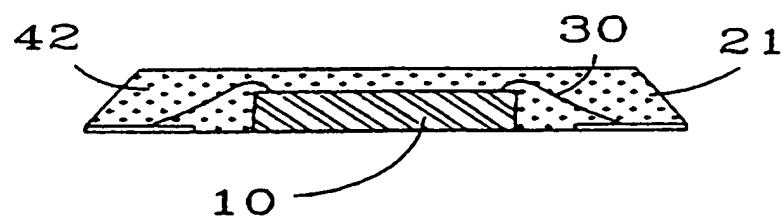
도면 4b



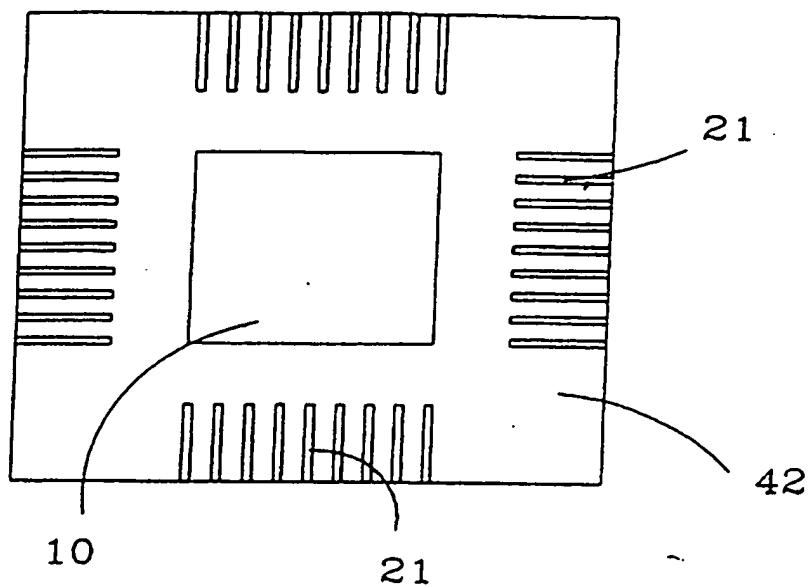
도면 4c



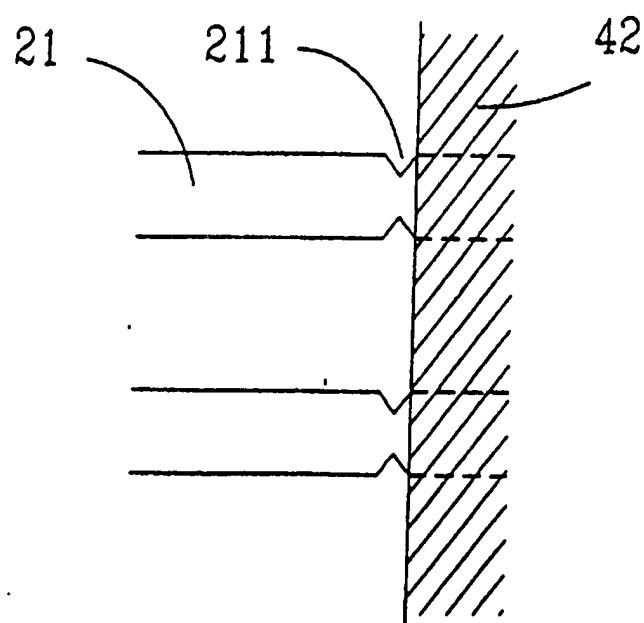
도면 4d



도면 5



도면 6



도면 7

